

# Sistemas Operacionais

Estrutura dos Sistemas de Computação (cap. 2)



## Sumário

- Operação de sistemas de computação
- Estrutura de E/S (I/O)
- Estrutura de armazenamento
- Hierarquia de armazenamento
- Proteção de hardware

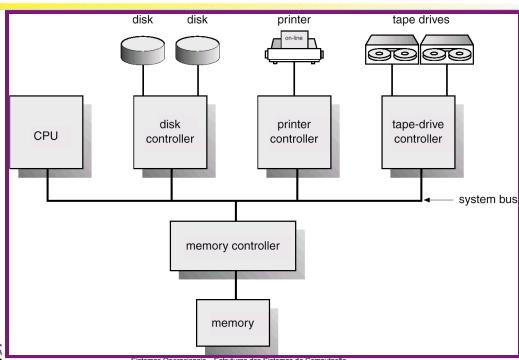
Vamos saltar a seção 2.6, Estrutura de Rede



Sistemas Operacionais – Estruturas dos Sistemas de Computação

2

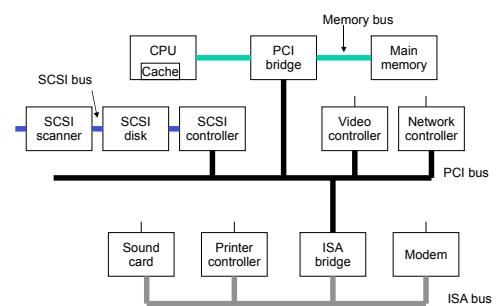
## Arquitetura geral de Sistemas de Computação atuais



Sistemas Operacionais – Estruturas dos Sistemas de Computação

3

## Arquitetura geral de Sistemas de Computação atuais



Sistemas Operacionais – Estruturas dos Sistemas de Computação

4

## Operação de sistemas de comput.

- CPU e dispositivos de E/S podem operar concorrentemente
- Cada controlador de dispositivos cuida de um tipo particular de dispositivo
- Cada controlador tem um *buffer* local
- E/S ocorre entre o dispositivo e aquele *buffer*



Sistemas Operacionais – Estruturas dos Sistemas de Computação

5

## Operação de sistemas de computação por interrupção

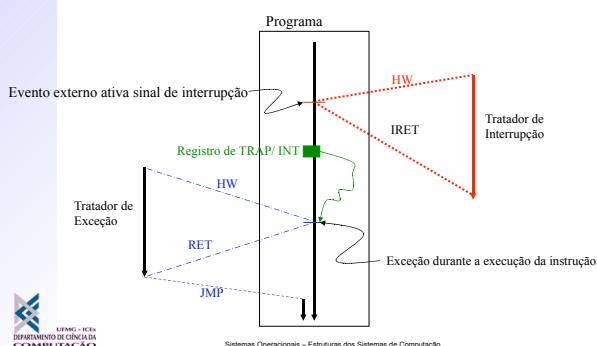
- A CPU move dados entre a memória e o *buffer*
- CPU solicita E/S escrevendo em um registrador de controle do dispositivo
- O controlador informa a CPU que uma operação foi completada gerando uma interrupção
- SOs são movidos por interrupções!!!



Sistemas Operacionais – Estruturas dos Sistemas de Computação

6

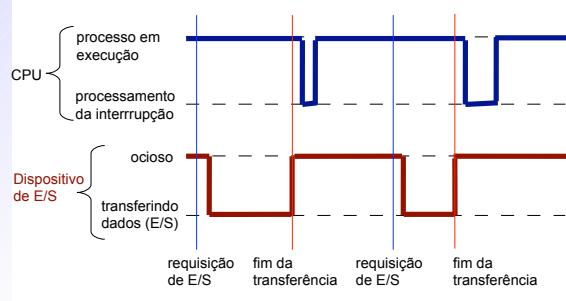
## Traps e interrupções



## Operação de sistemas de computação por interrupção

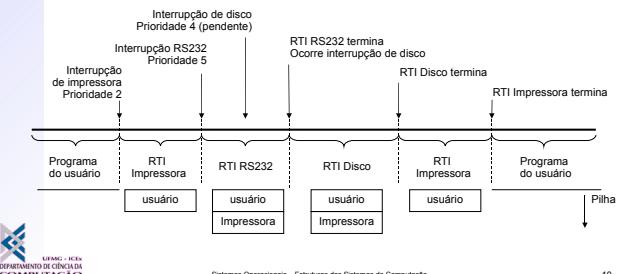
- Um sinal externo em uma linha de interrupção inicia o processamento da mesma no HW
- A CPU armazena seu estado
- O no. da interrupção (do HW) identifica uma posição no vetor de interrupções
  - Vetor deve ser inicializado previamente
  - Cada posição do vetor aponta para uma rotina de tratamento específica
- Ao retornar a rotina restaura o estado da CPU

## Operação de sistemas de computação por interrupção



## Interrupções com prioridades

- Prioridades: RS232 > Disco > Impr.
- Seqüência: impr., RS232, disco



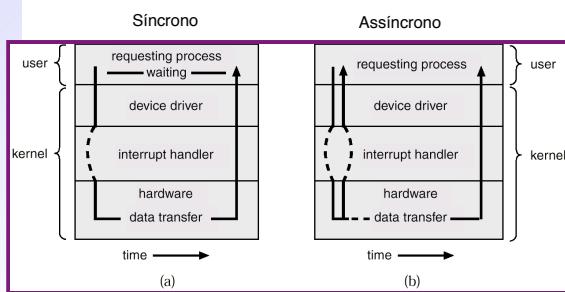
## Controle das operações de E/S

- E/S síncrona: controle só retorna para o programa quando a operação de E/S termina
  - Instrução especial "wait" coloca a CPU em espera até a próxima interrupção
  - Loop de espera (CPU lê flag continuamente)
  - Nesse caso, só uma operação de E/S pode estar pendente a qualquer instante

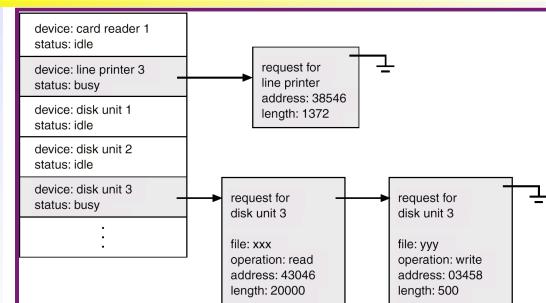
## Controle das operações de E/S

- E/S assíncrona: controle retorna ao programa do usuário sem esperar pela conclusão da E/S
  - chamada do sistema registra pedido no S.O.
  - tabela de status do dispositivo mantém uma entrada para cada operação pendente
  - S.O. controla tabela e aciona código de tratamento registrado pelo usuário ao fim de cada operação

## Controle das operações de E/S



## Tabela de status dos dispositivos

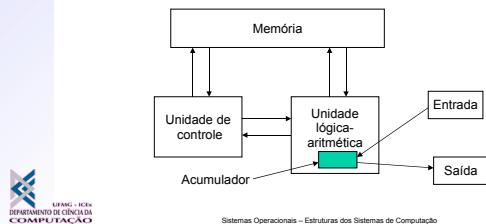


## Acesso direto à memória (DMA)

- Usado por dispositivos de E/S de alta velocidade
- Blocos de dados são transferidos diretamente entre o dispositivo e a memória do sistema
- Controlador comanda a transferência sem exigir a intervenção da CPU
- Apenas uma interrupção é gerada para o bloco
- CPU não precisa ler cada byte para depois escrevê-lo na memória
- Operação geral permanece: comando/op./inter.

## Estruturas de armazenamento

- Arquitetura de von Neumann
  - Programa armazenado na memória
  - E/S entre processador e dispositivo

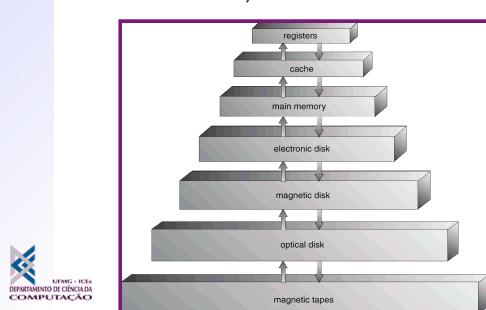


## Estruturas de armazenamento

- Memória principal: única forma de armazenamento diretamente acessível pela CPU
- Armazenamento secundário: extensão da memória que oferece armazenamento não volátil
  - Discos magnéticos/memórias Flash
- Armazenamento terciário: recursos de armazenamento de maior capacidade e menor velocidade que não oferecem acesso direto

## Hierarquia de armazenamento

- Tecnologias podem ser diferenciadas em função de velocidades, custos e nível de volatilidade.

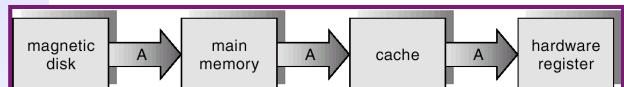


## Caching

- Uso de memória de alta velocidade para manter dados acessados recentemente
- Exige uma política de gerência da cache
- Conceito pode ser aplicado entre diferentes níveis da hierarquia de memória
- Introduz replicação entre níveis
  - Réplicas devem permanecer consistentes
  - Acessos em multiprocessadores acrescenta problemas de coerência entre caches

## Caching

- Migração do dado A do disco para um registrador



- Se a CPU alterar A no registrador, o sistema deve definir a política de consistência para refletir essa alteração até o disco

## Proteção de Hardware

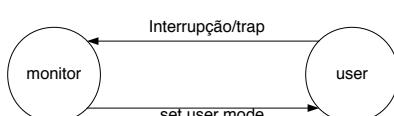
- Com o compartilhamento dos sistemas por diversos programas em execução, é preciso garantir formas de proteção entre eles
- É essencial que haja recursos de HW para isso
  - Operação em modo dual
  - Proteção de E/S
  - Proteção de memória
  - Controle da CPU

## Operação em modo dual

- Hardware é construído para diferenciar entre pelo menos dois modos de operação (*mode bit*):
  - modo usuário: a CPU executa os comandos de um programa do usuário;
  - modo monitor (protegido, *kernel*, de sistema): CPU executa o S.O., que tem privilégios
- Certas instruções privilegiadas só podem ser executadas no modo monitor

## Operação em modo dual

- Sempre que uma interrupção/trap acontece, chaveia para modo monitor
- Passagem ao modo usuário feita por instrução

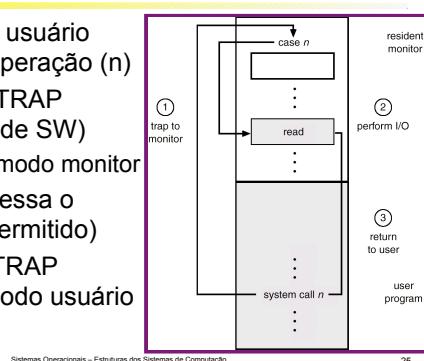


## Proteção de E/S

- Toda instrução de E/S é privilegiada
- Garante que um programa não possa reprogramar um dispositivo para fazer algo prejudicial a outros (p.ex., apagar um disco)
- Também poderia afetar o processo de tratamento de interrupções
- Para um programa executar E/S deve realizar uma chamada ao sistema (*system call*)

## Chamadas ao sistema

- Processo do usuário identifica a operação (n)
- Causa uma TRAP (interrupção de SW)
  - HW vai p/ modo monitor
- Monitor processa o pedido (se permitido)
- Retorno da TRAP restaura o modo usuário

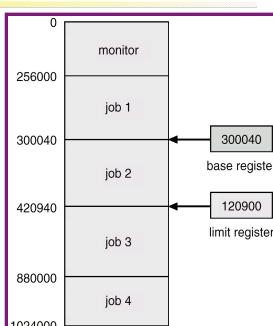


## Proteção de memória

- Certas áreas de memória devem ser protegidas contra acesso do usuário
  - p.ex., vetor e rotinas de interrupção
- Unidade de controle da memória deve testar cada operação de acesso à memória
  - Registrador Base: menor endereço permitido
  - Registrador Limite: tamanho da faixa acessível

## Proteção de memória

- Registradores são definidos individualmente para cada processo



## Proteção de memória

- Todo acesso é comparado à faixa definida pelos registradores base e limite
- Acessos fora da faixa geram TRAP p/ o monitor

## Proteção de memória

- Em modo monitor o S.O. tem acesso liberado a toda a memória
- Alterações de registradores base e limite são instruções privilegiadas

- É preciso garantir que um processo não execute indefinidamente
- Interrupções de temporização garantem controle
  - Temporizador decremente um contador a cada pulso do *clock*
  - Quando o contador chega a zero gera uma INT.
- Usado para implementar tempo compartilhado
- Controle do temporizador: instrução privilegiada

