

Disciplina Optativa: Verificação Formal de Hardware

Esta disciplina será oferecida na UFMG por profissionais da empresa Cadence Design Systems. Trata-se de uma disciplina optativa de dois créditos.

Público alvo: alunos de sistemas de informação, matemática computacional, ciência da computação e engenharia da computação.

Carga Horária: 30 horas (1 vez por semana), 2 créditos

Pré-Requisitos: Introdução aos Sistemas Lógicos (ISL)

Ementa: Introduzir o aluno à indústria de fabricação de circuitos integrados e possíveis carreiras na área. Além disso, o curso tem o objetivo de apresentar as principais metodologias e tecnologias empregadas na verificação funcional de circuitos integrados descritos em linguagens de programação de alto nível e de descrição de hardware.

Introdução da Disciplina e Visão Geral da Indústria de Semicondutores: 2 horas/aula

- Plano da disciplina
- Estado atual e desafios; indústria e impacto na sociedade
- Carreiras (desenvolvedor, designer e verificador formal)
 - o Exemplificar empresas para trabalhar
- Porque software de verificação de hardware são importantes?

Fluxo de Design de um Chip: 2 horas/aula

- Camadas de abstração (RTL, Gate Level, transistor), Design, Verificação, Síntese Lógica, Equivalência, P&R, Validação; Emulação, FPGA;

Revisão Sistemas Lógicos e Arquitetura: 2 horas/aula

- Álgebra booleana; Portas lógicas; Lógica Combinacional; Lógica Sequencial, FSM, FIFO, Arquiteturas (RISC-V, Arm, ISA)
- Padrões de design: DFT, Low Power, Encryption, Data Transfer x Data Move
- Exercício simples de fixação de conteúdo

Introdução às Linguagens de Descrição de Hardware: 2 horas/aula teórico + 2 horas/aula prática

- HDLs vs linguagens de programação; Behavioral Modeling x Gate Level: entender que o Hardware não é escrito a nível de portas lógicas e sim RTL. Existem ferramentas que fazem a conversão
- Introdução ao Verilog/SystemVerilog
- Laboratório com aulas práticas

Introdução a Verificação Funcional: 2 horas/aula

- Simulação, Formal, Emulação, VIP, Coverage
- Tcl como linguagem de EDA; Dodecálogo: 12 regras do Tcl

Introdução à Verificação por Simulação: 2 horas/aula + 2 horas/aula prática

- SVA;
- Construção de Testbenches;
- Limitações da simulação;
- Laboratório de Simulação (XLM);

Introdução à Verificação Formal: 2horas/aula + 2horas/aula prática

- Formal vs Simulação;
- Modelos matemáticos empregados na Verificação Formal;
- Limitações da Verificação Formal;
- Laboratório de VF (Jasper);

Métodos avançados de Verificação Funcional: 2horas/aula

- C/RTL Equivalence Checking, FSV Verification, XPROP, Conn
- Como aplicações em Verificação se conectam com disciplinas

Projeto Final em Verificação Formal: 8horas/aula

Método de avaliação:

- 40 pontos de exercícios práticos e teóricos
- 60 pontos de projeto final
- Coleta através de email

Referência Bibliográfica: Janick Bergeron, ***Writing Testbenches: Functional Verification of HDL Models***